

基于 RoF 的数字下变频模块的 FPGA 实现

谭 力¹, 苏 钢¹, 朱光喜^{1,2}, 屈 杰¹

(1. 华中科技大学 电信系, 湖北 武汉 430074; 2. 武汉光电国家实验室, 湖北 武汉 430074)

摘要: 针对基于光纤无线电(RoF)的分布式天线系统的结构特点,提出了一种利用光纤承载数字中频信号实现天线拉远的方案,并从节约资源与提高性能两方面,给出了在 FPGA 中实现数字下变频模块的设计方案,分析和仿真结果表明:该设计减少了资源消耗,性能达到了未来宽带无线通信系统的性能要求。

关键词: 分布式天线系统;多输入多输出;数字中频拉远;级联积分梳状滤波器;多相抽取滤波器

中图分类号: TN925 **文献标识码:** A **文章编号:** 1005-8788(2008)05-0035-04

Implementation of RoF-based digital down converter module

Tan Li¹, Su Gang¹, Zhu Guangxi^{1,2}, Qu Jie¹

(1. Dept. of Electronics and Information Engineering, Huazhong University of Science and Technology, Wuhan 430074, China; 2. Wuhan National Laboratory for Optoelectronics, Wuhan 430074, China)

Abstract: In view of the structural features of the distributed antenna system, a RoF-based solution for digital intermediate frequency remote is proposed. The design of the digital down converter module is given via FPGA in consideration of resource saving and performance improvement. The analytical and simulation results show that this design contributes to the reduction of resource consumption and satisfaction of the module performance with the requirements of the future broadband wireless communication system.

Key words: Distributed Antenna System; MIMO; digital intermediate frequency remote; CIC filter; poly-phase decimate filter

随着多输入多输出(MIMO)技术、分布式天线技术和智能天线技术的研究应用,分布式天线系统(DAS)因具有可提高系统无线信号的覆盖能力和系统容量,并可获得较高的系统功率效率的优点,而成为未来移动通信网络中一种关键的多天线接入方式^[1~2]。

已有的研究表明,分布式天线系统中的天线拉远主要是通过电缆承载射频信号实现的射频拉远,如在 GSM(全球移动通信系统)、CDMA(码分多址)1x、WCDMA(宽带码分多址)等系统中均使用射频拉远方式。在未来宽带无线通信系统中,智能天线技术的应用导致这种射频拉远方式面临很大困难。射频电缆数量增多,带动其他辅材数量增加,导致网络规划与建设成本升高。相比传统的射频拉远,基于光纤无线电(RoF)技术的中频拉远具有线缆数量少、传输距离远、组网灵活和成本低等特点。数字中频技术作为软件无线电技术的应用基础,已经广泛地应用在数字化接收机的设计中。本文结合 RoF 技术与数字中频技术的发展,提出一种利用光纤承载数字中频信号实现天线拉远的方案,阐述了该方案的工作原理,分析了数字下变频核心模块的功能划分,介绍了利用现场可编程门阵列(FPGA)芯片实现这种模块的方案,并给出了仿真测试结果。该

方案为分布式天线系统中的天线拉远的实现方法提供了新的设计思路。

1 分布式天线系统

分布式天线系统改变了传统基站中基带与射频信号集中处理的方式,使基站和天线由传统的集中放置改变为分开放置。分布式天线系统将传统的基站系统分拆为基带处理与射频传输两部分,二者放置在不同的物理位置,基站的无线覆盖小区可由多个分散放置的天线组成^[3],如图 1 所示。基站处理单元(BBU)完成信号处理功能,负责用户接入管理与无线资源管理。远端射频单元(RRU)保留最少的硬件模块,仅具有功放、低噪声放大(LNA)和上

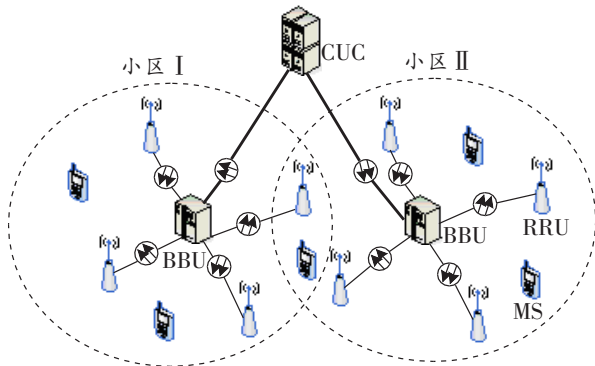


图 1 采用分布式天线的无线接入网结构图

收稿日期:2008-04-22

基金项目:国家“八六三”计划资助项目(2003AA12331005,2006AA01Z277)

作者简介:谭力(1976-),男,湖北利川人,讲师,硕士,研究方向为宽带无线通信系统结构和自适应 MIMO-OFDM 传输技术。

下变频、信号预处理等简化功能,BBU 与 RRU 之间通过光纤连接。核心单元控制器(CUC)用于管理和控制多个 BBU 设备,负责网络管理和用户管理等。

2 基于 RoF 的数字中频拉远方案

利用 RoF 技术实现的数字中频拉远技术已成为下一代分布式基站研究设计的关键技术之一。位于室内的 BBU 包含基站控制软件、无线资源管理模块、服务质量(QoS)保证模块、基带信号处理模块和数字上下变频模块等,而 RRU 与天线子系统相邻,包括发射功率放大器、射频收发信元、本振和校准射频收发信元。RRU 与 BBU 之间通过光纤链路连接,“光纤到塔顶”只需敷设 1 根光缆,解决了天馈施工的难题。RRU 具有体积小、重量轻、安装简单方便的特点,可以直接安装于靠近天线位置的金属桅杆或墙面上,减少了对机房的需求。

软件无线电技术和超大规模集成电路技术已得到广泛应用。利用 FPGA 实现的数字中频模块在整个通信系统中起到承上启下的作用。在上行链路方向,天线接收无线信号交给射频(RF)模块处理得到模拟中频信号,再经过模/数(A/D)转换得到数字中频信号,并在电/光转换后,通过光纤传送给 BBU。BBU 的光/电转换器恢复出数字中频信号,并将其交给数字下变频模块进行处理以得到基带信号。在下行链路方向的处理流程与上行链路方向相反。

3 数字中频模块的设计

数字中频模块包括数字上变频与数字下变频,二者对信号的处理流程相反,本文重点讨论数字下变频的 FPGA 设计与实现。其主要功能为:将电/光转换器输出的数字信号通过混频、抽取和低通滤波等信号处理过程,降低其采样频率,转变为基带信号并传送给基带处理模块进行后续处理。如图 2 所示,数字下变频的基本结构包括数控振荡器(NCO)、混频器和低通抽取滤波器。

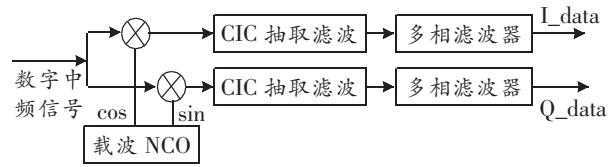


图 2 数字中频模块的功能划分

本文主要从可实现性角度出发,提出了一种将级联积分梳状滤波器(CIC)与多相滤波器结合的低通抽取滤波算法,并对各模块的设计与仿真进行描述。针对未来移动通信系统的性能需求,本文采用的与数字中频模块(其基带调制方式采用 OFDM(光频分复用))相关的主要技术指标如表 1 所示。

表 1 数字中频模块相关的主要技术指标

技术参数	指标
中频载波信号频率/MHz	40
中频信号带宽/MHz	8
中频采样频率/MHz	60
基带子载波中心间隔/kHz	31.25
子载波数	256
基带带宽/MHz	8
基带信号速率/MHz	20
误码率	$<10^{-3}$

3.1 NCO 的设计

产生 NCO 样本的方法有查表法和实时算法^[4]。实时算法的设计思路简单,运算量大,对计算速度要求高^[4]。查表法是事先根据各个 NCO 相位计算出对应的正余弦值,并以相位作地址存储所得的计算结果。系统工作时通过当前的相位信息访问存储器,得到对应的正余弦值。查表法实现效率高,硬件电路设计简单,它的计算速度只取决于访问存储器的时间,特别适合于产生工作频率较高、工作带宽较宽的载波样本^[5]。

为了提高 NCO 模块的无杂散动态范围(SFDR),可采用的方法包括压缩只读存储器(ROM)存储量以增大寻址位数和随机抖动技术。

(1) 压缩 ROM 存储量,增大寻址位数 W。舍位位数 B 每减少 1 位,能改善杂散约 6 dB。但同时需要增加寻址位数 W,需要更大的存储容量。数据压缩可以大幅减少对 ROM 存储空间的需求。方法一是利用正弦波的对称性,仅储存 1/4 周期的幅度数值,再利用对称性恢复其他象限的幅度值;方法二是将 ROM 表读数分解为粗读和细读之和等方法,改善杂散性能。

(2) 随机抖动技术。相位截断误差和幅度量化误差引起的杂散分量比较大,如果给误差信号加上一个特定的随机序列,则可以破坏误差信号的周期性,也破坏了杂散信号的相关性,误差的功率谱就由原来的离散谱线变成了均匀分布的宽带噪声,从而提高了 SFDR。图 3 给出了基于查表法的 NCO 模块实现框图。

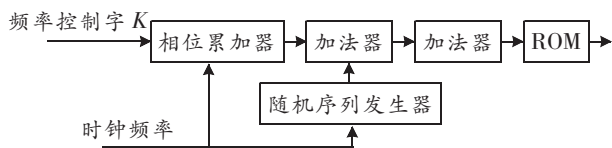


图 3 基于查表法的 NCO 实现框图

3.2 混频器的设计

数字混频器可以利用乘法器来实现,它将采样样本与对应的正余弦值相乘。信号经混频后,输出到低通滤波器以滤除倍频分量和带外信号,然后进行抽取处理。为了达到建立时间和保持时间的要求,应该尽量利用片内专用乘法器来实现混频器。

3.3 CIC 滤波器的设计

CIC 滤波器是一类非常适合硬件实现的用于整数抽取和插值的数字滤波器,包括积分级和梳状级两部分。积分级由 N 个单极点理想数字积分器串联构成,每个积分器的传输函数为 H_1 ,梳状级由 N 个差分延迟为 D 的梳状滤波器串联构成,每个梳状滤波器的传输函数为 H_C ,则 CIC 滤波器总的传输函数为

$$H(z) = H_I^N(z) H_C^N(z) \quad , \quad (1)$$

$$H(z) = \left[\sum_{k=0}^{RD-1} z^{-k} \right]^N, \quad (2)$$

其频率响应为

$$H(\omega) = \left[e^{-j\frac{\omega}{2}(RD-1)} \cdot \frac{\sin\left(\frac{RD\omega}{2}\right)}{\sin\left(\frac{\omega}{2}\right)} \right]^N, \quad (3)$$

式(1)、(2)、(3)中, R 为抽取因子; D 为梳状滤波器的差分延迟; N 为级联滤波器的级数。

由多级 CIC 滤波抽取器结构可知 CIC 滤波器只做了加法和减法。这正是 CIC 滤波器处于中频接收模块第一级的原因。CIC 滤波器结构中的积分器实际上就是一个累加器,利用 Xilinx 公司的 Virtex 系列 FPGA 芯片中专用的快速进位逻辑,可以使其实现起来最简单,各个积分级的延迟没有显著的差别,采用流水线结构可使每个时钟都能处理一个输入。CIC 滤波器在实际调试中,有很陡的衰减幅度(主瓣),如果控制好信号带宽,其滤波效果还是不错的。

根据 Hogenauer 对 CIC 滤波器性能的分析^[5]并参考前述性能指标,本系统采用整数抽取因子为 5、差分延迟为 1 的 5 级 CIC 滤波器。 N 级 CIC 滤波器的旁瓣抑制 α_N^N 为

$$\alpha_s^N = 20 \lg(A_0/A_1)^N, \quad (4)$$

$$\alpha_s^N = \lceil N \times 13.46 \rceil (\text{dB}) \quad , \quad (5)$$

式中, A_0 为主瓣电平; A_1 为旁瓣电平; N 为级联滤波器的级数。当 $N=5$ 时, $\alpha_s^N = 77.30$ dB。

图 4 是 5 级 CIC 滤波抽取器的设计框图。

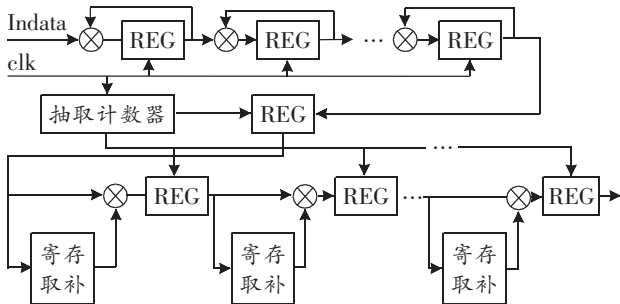


图 4 5 级 CIC 滤波抽取器的设计框图

图 5 为 CIC 滤波器的时序仿真图,通过仿真验证了 CIC 滤波器已达到设计要求。

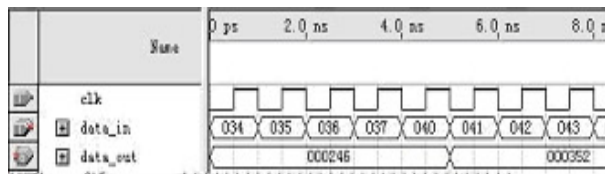


图 5 CIC 滤波器的时序仿真图

实现图 4 所示的 5 级 CIC 滤波抽取器只需要 198 个可配置逻辑块(CLB),如果采用传统的有限冲击响应滤波器(FIR)结构,要达到同样的性能指标,至少需要 13 800 个 CLB。

3.4 多相抽取滤波器的设计

设计多相抽取滤波器的第一步是设计原型 FIR 滤波器,可采用的设计方法包括窗函数设计法、频率采样法、最小均方误差设计法和基于切比雪夫逼近的等纹波设计法等。由于基于切比雪夫逼近的等纹波设计法得到的滤波器通带纹波较小,且可以设定任意的边带频率,所以本文采用此方法来设计多相滤波器的原型滤波器。

传统 FIR 滤波器结构中,系统的处理速度由一次乘法和 N 个乘法结果求和运算所消耗的时间决定,因而运算速度很低。为了提高运算速度,更为多相结构的有效设计,本文采用如图 6 所示的改进的 FIR 滤波器结构。输入数据同时送到所有乘法器,并以分散的方式完成延时和相加。这种流水线结构使运算速度由一次乘法运算的时间来决定,因而速度大大提高。这种结构是由一系列相同的处理单元级联而成,每一级处理单元由乘法单元,加法单元和延时单元组成。因此在系统设计中,可以在保证计算结果不溢出的前提下,只改变处理单元的数目便可方便地调整滤波器级数。虽然实现这种以乘

加为主的处理单元很消耗硬件资源,但其系数灵活可变的特点却给应用带来极大的方便,而可编程逻辑器件在速度和规模上的飞速发展,使得用 FPGA 来实现它变得可行。

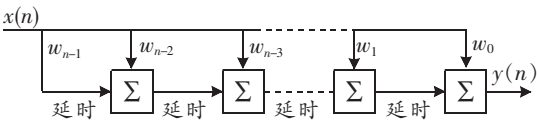


图 6 改进的 FIR 滤波器结构

若假设原型滤波器的长度为 N ,则多相滤波结构是由 D (D 为抽取倍数) 组按一定方式抽取而成的常规结构的通用 FIR 滤波器组成。设计多相抽取滤波器的步骤是:首先依照抗混叠滤波器的参数要求,按一定的设计准则(此方案中选择切比雪夫一致逼近法)设计一长度为 N 的 FIR 滤波器 $h(n)$;然后根据 $h_k(n)=h(nD+k)$ ($k=0,1,\cdots,D-1$) 抽取成 D 组 FIR 子滤波器。本系统中,多相滤波器要实现间隔为 3 的抽取,抽取滤波器的阶数为 12,经多相抽取拆分为 3 个分支滤波器。

本设计中数字滤波器位于抽取器之后,即滤波是在降速后进行,这样就大大降低了对处理速度的要求,提高了实时处理能力。另外,假设数字滤波器的长度为 N ,则这种多相滤波结构的另一个好处是每一分支路滤波器的系数由原来的 N 个减少为 N/D 个,可以减少滤波运算的累积误差,提高计算精度。其每一个支路的硬件原理结构如图 7 所示。

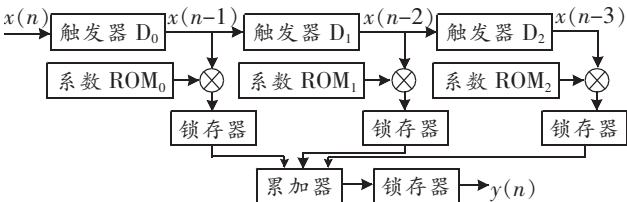


图 7 多相滤波器中一个分支的设计框图

信号经过 CIC 滤波器滤波后,将各个支路的数据分别按时序送入相应的分支滤波器。由于 FPGA 的逻辑资源和寄存器资源有限,而乘法器的实现(尤其是位数较高时)比较多地耗费 FPGA 内部的寄存器资源,同时用逻辑和寄存器资源实现的乘法器运算速度比较慢,常常达不到建立时间和保持时间的要求,因此应该尽量利用片内专用乘法器来实现。

图 8 是多相抽取滤波器的时序仿真结果,其中

clk 信号的频率为 36 MHz。由于运用了片内硬件乘法器,运算速度大为提高,滤波器输出的数字信号完全满足建立时间和保持时间的要求。

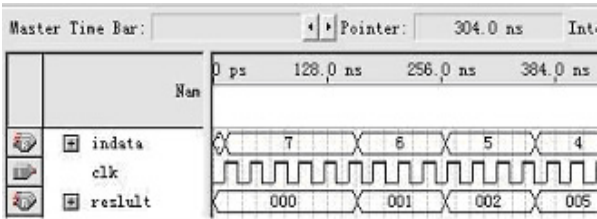


图 8 多相抽取滤波器时序仿真图

4 结束语

基于 RoF 光纤拉远技术的分布式天线系统在未来宽带无线通信系统中有广泛的应用前景。本文使用数字中频技术,提出一种在 BBU 和 RRU 之间利用 RoF 技术实现数字中频信号传输的解决方案,解决了采用射频拉远时需要敷设数十根射频电缆带来的成本问题与施工难度问题。该解决方案对未来宽带无线通信系统的架构设计研究提供了新的思路,具有参考意义。本文还给出了一种利用 FPGA 实现数字下变频模块的设计方案,该方案具有消耗资源少,处理能力强的特点,符合未来移动通信系统的性能要求。

参考文献:

[1] 张煦. 光纤与无线同样是现代通信发展的重点 [J]. 光通信研究, 2002, (3): 1-4.

[2] 尤肖虎, 赵新胜. 分布式无线电和蜂窝移动通信网络结构 [J]. 电子学报, 2004, 32(12A): 16-21.

[3] 余建国, 徐力, 郭华志, 等. ROF 在无线宽带移动通信中的应用 [J]. 光通信研究, 2007, (1): 15-17.

[4] Canet, Jose M, Vicedo, et al. FPGA implementation of an if transceiver for OFDM-based wlan [A]. IEEE Workshop on Signal Processing Systems, SiPS: Design and Implementation, 2004 IEEE Workshop on Signal Processing Systems Design and Implementation, Proceedings [C]. Austin, Texas, USA: IEEE, 2004. 227-232.

[5] Hogenauer E B. An Economical Class of Digital Filters for Decimation and Interpolation [J]. IEEE Transactions on Acoustics, Speech and Signal processing, AS-SP, 1981, 29(2): 155-162.